

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0013

Applicant: Sang Sic YOON

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: June 30, 2003

Art Unit: Unassigned

Title: DIGITAL CONTROL LOGIC CIRCUIT HAVING A
CHARACTERISTIC OF TIME HYSTERESIS

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

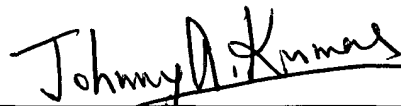
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2002-0086701 filed December 30, 2002

Respectfully submitted,

Date: June 30, 2003

By



Johnny A. Kumar

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

Attorney for Applicant
Registration No. 34,649
Customer No. 26633



26633

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0086701
Application Number

출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

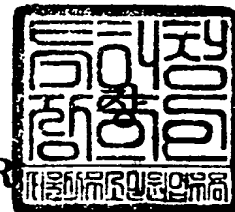
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 21 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0114
【제출일자】	2002. 12. 30
【국제특허분류】	H01L
【발명의 명칭】	타임 히스테리시스 특성을 가지는 디지털 제어로직 회로
【발명의 영문명칭】	Digital control logic circuit having time hysteresis
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	이후동
【대리인코드】	9-1998-000649-0
【포괄위임등록번호】	1999-058167-2
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	1999-054155-9
【발명자】	
【성명의 국문표기】	윤상식
【성명의 영문표기】	Y00N, Sang Sic
【주민등록번호】	721225-1810824
【우편번호】	467-712
【주소】	경기도 이천시 안흥동 470번지 주공아파트 111-1202
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이후동 (인) 대리인 이정훈 (인)

1020020086701

출력 일자: 2003/5/22

【수수료】

【기본출원료】 15 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 3 항 205,000 원

【합계】 234,000 원

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 디지털 제어신호의 레벨 천이 시 소정의 기간동안 상기 천이를 억제하는 타임 히스테리시스 특성을 가지는 디지털 제어로직 회로에 관한 것으로서, 입력신호의 로직레벨이 천이되는 경우에 타임 히스테리시스 특성을 가지는 제 1 타임 히스테리시스부와, 제 1 타임 히스테리시스부와 병렬로 연결되고, 상기 제 1 타임 히스테리시스부의 출력의 로직레벨이 천이되는 경우에 타임 히스테리시스 특성을 가지는 제 2 타임 히스테리시스부와, 제 2 타임 히스테리시스부의 출력을 반전시키는 반전부를 구비하여, 디지털 제어신호가 "1"에서 "0"으로 천이되는 경우와 "0"에서 "1"로 천이되는 경우 모두 타임 히스테리시스 특성을 갖도록 하는 것을 특징으로 한다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

타임 히스테리시스 특성을 가지는 디지털 제어로직 회로{Digital control logic circuit having time hysteresis}

【도면의 간단한 설명】

도 1은 종래의 타임 히스테리시스(hysteresis) 회로도.

도 2는 도 1의 신호파형도.

도 3은 본 발명의 제 1 실시예에 따른 타임 히스테리시스(hysteresis) 회로도.

도 4는 도 3의 신호파형도.

도 5는 도 3의 시뮬레이션도.

도 6은 본 발명의 제 2 실시예에 따른 타임 히스테리시스(hysteresis) 회로도.

도 7은 본 발명의 제 2 실시예에 따른 스테이트 머신을 나타낸 도면.

도 8은 도 6의 신호파형도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 타임 히스테리시스(time hyteresis) 특성을 가지는 제어로직 회로에 관한 것으로서, 타임 히스테리시스 회로를 병렬로 구비하여 "1"에서 "0"으로 천이되는 경우와 "0"에서 "1"로 천이되는 경우 모두 타임 히스테리 특성을 가지도록 하여, 디지털 제어

신호의 천이 시에 과도기의 불필요한 천이를 최소화할 수 있는 디지털 제어로직 회로에 관한 것이다.

- <10> 타임 히스테리시스(time hyteresis) 특성은 디지털 제어신호를 처리할 때 "1" 에서 "0"으로 천이 또는 "0"에서 1"로 천이 시 일정 시간 동안 그 변화를 억제하는 특성으로서, 디지털 제어신호의 천이 시에 과도기 상태에서의 불필요한 천이를 최소화한다.
- <11> 도 1은 종래의 타임 히스테리시스(hysteresis) 회로도이다.
- <12> 종래의 타임 히스테리시스 회로는 래치부(1), 딜레이부(2), 및 인버터(I1)로 구성된다.
- <13> 래치부(1)는 두 개의 낸드게이트(ND1, ND2)를 구비하여, 입력신호 A(t)를 일정한 레벨로 유지시킨다. 딜레이부(2)는 인버터(I1)를 통해 반전된 출력신호 B(t)를 "td"만큼 지연시켜 래치부(1)로 전송한다.
- <14> 이러한 종래의 타임 히스테리시스 회로는 입력신호 A(t)가 "1"에서 "0"으로 천이 시에 인버터(I1)를 통해 반전된 출력신호 B(t)를 딜레이부(2)를 통해 "td"만큼 지연시킨다. 이렇게 지연된 신호를 수신한 래치부(1)에 의해 과도기의 천이가 억제된다. 반면, "0"에서 "1"로 천이 시에는 이러한 타임 히스테리시스 특성을 보이지 않는다.
- <15> 도 2는 종래의 타임 히스테리시스 회로의 신호 파형도이다.
- <16> 도 2에서 도시한 바와같이, 출력신호 B(t)가 입력신호 A(t)의 변화에 따라 반대 위상으로 출력된다.
- <17> 여기서, 입력신호 A(t)가 "1"에서 "0"으로 변하는 동안에는 출력신호 B(t)가 딜레이부(2)를 거치면서 발생하는 과도기적 짧은 펄스들이 제거되어 보이지 않는다. 그러나,

입력신호 $A(t)$ 가 "0"에서 "1"로 천이되는 경우에는 출력신호 $B(t)$ 가 딜레이부(2)를 거치면서 발생하는 과도기적 짧은 펄스들이 그대로 출력됨을 알 수 있다.

<18> 이와같이, 종래의 타임 히스테리시스 회로는 입력신호 $A(t)$ 가 "1"에서 "0" 또는 "0"에서 "1"로 천이하는 단방향의 타임 히스테리시스 특성을 가지는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<19> 상기와 같은 문제점을 해결하기 위한 본 발명의 목적은 타임 히스테리시스 회로를 병렬로 구비하여, 1"에서 "0" 및 "0"에서 "1"로 천이하는 경우 모두 타임 히스테리시스 특성을 가지는 제어로직 회로를 제공하는 데 있다.

<20> 본 발명의 다른 목적은 타임 스테이트머신을 구비하여, 1"에서 "0" 및 "0"에서 "1"로 천이하는 경우 모두 타임 히스테리시스 특성을 가지는 제어로직 회로를 제공하는 데 있다.

【발명의 구성 및 작용】

<21> 상기 과제를 달성하기 위한 본 발명은 디지털 제어신호의 레벨 천이 시 소정의 기간동안 상기 천이를 억제하는 타임 히스테리시스 특성을 가지는 디지털 로직제어회로에 있어서, 입력신호의 로직레벨이 천이되는 경우에 타임 히스테리시스 특성을 가지는 제 1 타임 히스테리시스부와, 제 1 타임 히스테리시스부와 병렬로 연결되고, 상기 제 1 타임 히스테리시스부의 출력의 로직레벨이 천이되는 경우에 타임 히스테리시스 특성을 가지는 제 2 타임 히스테리시스부와, 제 2 타임 히스테리시스부의 출력을 반전시키는 반전부를 포함하는 것을 특징으로 한다.

- <22> 상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.
- <23> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.
- <24> 도 3은 본 발명의 제 1 실시예에 따른 타임 히스테리시스 회로도이다. 도 3에 도시한 바와 같이, 타임 히스테리시스 회로는 두 개의 타임 히스테리시스부(30, 31)를 병렬로 연결하여 구비하고, 인버터(I2)를 구비한다.
- <25> 타임 히스테리시스부(30)는 입력신호 A(t)를 수신하여 "td1" 만큼 지연시켜 중간신호 B(t)를 출력하고, 타임 히스테리시스부(31)는 중간신호 B(t)를 수신하여 "td2" 만큼 지연시켜 인버터(I2)를 통해 반전된 출력신호 C(t)를 출력한다. 인버터(I2)는 출력신호 C(t)의 필요한 위상에 따라 추가로 구비할 수 있도록 하는 것이 바람직하다.
- <26> 여기서, 각각의 타임 히스테리시스부(30, 31)의 내부 구성은 도 1의 구성과 동일하므로 구성에 대한 설명은 생략하고 동작에 대한 설명을 하기로 한다.
- <27> 타임 히스테리시스부(30)는 입력신호 A(t)가 "1"에서 "0"으로 변하는 동안에 중간신호 B(t)가 "td1"만큼 지연될 때 발생하는 과도기적 짧은 펄스들을 제거한다. 반면, 입력신호 A(t)가 "0"에서 "1"로 천이되는 경우에는 중간신호 B(t)가 "td2"만큼 지연될 때 발생하는 과도기적 짧은 펄스들이 제거되지 않고 그대로 출력된다.
- <28> 타임 히스테리시스부(31)는 입력신호 A(t)가 "1"에서 "0"으로 변하는 동안에 타임 히스테리시스부(30)를 통해 "td1"만큼 지연되어 발생된 과도기적 펄스가 제거된 중간신호 B(t)를 수신하여, 입력신호 A(t)가 "0"에서 "1"로 천이되는 경우에도 출력신호 C(t)가 "td2" 만큼 지연될 때 발생하는 과도기적 짧은 펄스들을 제거한다.

- <29> 즉, 타임 히스테리시스부(30)의 딜레이 시간 " t_{d1} "에 의해 중간신호 $B(t)$ 가 "1"에서 "0"으로 천이할 때 추가적인 과도기적 펄스가 발생될 수 있으므로, 타임히스테리시스부(31)를 타임히스테리시스부(30)의 출력단에 연결하여 $B(t)$ 가 "1"에서 "0"으로 천이할 때 추가적으로 발생하는 과도기적 펄스를 제거한다.
- <30> 따라서, 타임 히스테리시스부(31)의 딜레이 시간 " t_{d2} "는 " t_{d1} " 보다 큰 값을 가지도록 하는 것이 바람직하며, 딜레이시간 " t_{d2} "가 딜레이 시간" t_{d1} "의 두 배의 크기를 가지는 것이 바람직하다.
- <31> 도 4는 도 3의 신호파형도이다.
- <32> 앞서 설명한 바와 같이, 도 4에는 입력신호 $A(t)$ 가 "1"에서 "0"으로 천이되는 경우에는 타임 히스테리시스부(30)를 통해 과도기적 펄스가 제거되고($B(t)$), 입력신호 $A(t)$ 가 "0"에서 "1"로 천이되는 경우에는 타임 히스테리시스부(31)를 통해 과도기적 펄스가 제거됨을 나타내고 있다($C(t)$).
- <33> 결과적으로, 출력신호 $C(t)$ 는 입력신호 $A(t)$ 가 "1"에서 "0"으로 천이되는 경우와, 입력신호 $A(t)$ 가 "0"에서 "1"로 천이되는 경우 모두 과도기적 펄스가 제거되는 타임 히스테리시스 특성을 가진다.
- <34> 도 5는 도 3의 타임 히스테리시스 회로를 시뮬레이션 결과를 나타낸 그래프이다. 실제로 시뮬레이션을 했을 때의 결과가 도 4와 동일한 결과를 나타냄을 알 수 있다.
- <35> 도 6은 본 발명의 제 2 실시예에 따른 타임 히스테리시스 회로도이다.

- <36> 본 발명의 제 2 실시예에 따른 타임 히스테리시스 회로는 딜레이부(60)와 스테이트 머신(state machine)(61)을 구비하고, 입력신호 $A(t)$ 를 수신하여 출력신호 $D(t)$ 를 출력한다.
- <37> 딜레이부(60)는 입력신호 $A(t)$ 를 "td3" 만큼 지연시켜 지연신호 $A(t-td3)$ 를 출력한다.
- <38> 스테이트머신(61)은 입력신호 $A(t)$ 와 딜레이부(60)를 통해 지연된 신호 $A(t-td3)$ 를 수신하고, 동작되어 출력신호 $D(t)$ 를 출력한다. 이때, 스테이트머신(61)은 입력신호 $A(t)$ 와 지연신호 $A(t-td3)$ 의 천이에 따라서 스테이트(state)가 변화하게 된다. 이러한 스테이트머신(61)은 2개의 SR-래치(Latch)(미도시)로 구성되거나, 2개의 D-플립플롭(flip flop)(미도시) 등으로 구현하는 것이 바람직하다.
- <39> 도 7은 본 발명의 제 2 실시예에 따른 스테이트머신(61)의 동작을 설명하기 위한 도면이다.
- <40> 스테이트머신(61)은 초기 S3 상태에서 입력신호 $A(t)$ 가 "1"에서 "0"으로 천이 시에 T0 값을 출력하는 S0 상태로 천이하고, $A(t-td3)$ 가 "0"이 되는 순간에 T1 값을 출력하는 S1 상태로 천이한다. 다시 입력신호 $A(t)$ 가 "1"로 천이하면 S2 상태로 가서 T2를 출력하게 된다. S2 상태에서 $A(t-td3)$ 가 0이 되면 S3 상태로 가서 T3을 출력하게 된다.
- <41> 이와같이, 스테이트 머신의 출력값 T0 내지 T3의 값을 조정하여 원하는 출력 $D(t)$ 를 출력한다. 즉, 스테이트머신의 출력값을 이용하여 다양한 히스테리시스 특성을 가지는 회로를 구현할 수 있다.
- <42> 도 8은 스테이트머신의 출력값 $T0=0$, $T1=1$, $T2=1$, $T3=0$ 인 경우의 예를 도시한다.

- <43> 입력신호 $A(t)$ 가 "1"에서 "0"으로 천이되거나, "0"에서 "1"로 천이될 때 짧은 펄스가 발생하고, $A(t-t_d3)$ 는 " t_d3 " 만큼 지연되어 출력된다.
- <44> 출력신호 $D(t)$ 는 입력신호 $A(t)$ 의 위상이 반대이고, 입력신호 $A(t)$ 가 "1"에서 "0"으로 천이되거나, "0"에서 "1"로 천이될 때 발생하는 짧은 펄스들이 제거되어 출력된다.
- <45> 이와같이, 디지털 제어신호의 천이 시 과도기에 발생하는 불필요한 짧은 펄스들을 최대한 억제할 수 있다.

【발명의 효과】

- <46> 이상에서 살펴본 바와 같이, 본 발명에 따른 타임 히스테리시스 특성을 가지는 디지털 제어회로는, 디지털 제어신호가 "1"에서 "0"으로 천이되는 경우와 "0"에서 "1"로 천이되는 경우 모두 과도기에 발생하는 불필요한 짧은 펄스신호의 변화를 최대한 억제할 수 있는 효과가 있다.
- <47> 또한, 스테이트머신을 구비하여 다양한 히스테리시스 특성을 가지는 회로를 구현할 수 있는 효과가 있다.
- <48> 아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

【특허청구범위】**【청구항 1】**

디지털 제어신호의 레벨 천이 시 소정의 기간동안 상기 천이를 억제하는 타임 히스테리시스 특성을 가지는 디지털 제어로직회로에 있어서,

입력신호의 로직레벨이 천이되는 경우에 타임 히스테리시스 특성을 가지는 제 1 타임 히스테리시스부;

상기 제 1 타임 히스테리시스부와 병렬로 연결되고, 상기 제 1 타임 히스테리시스부의 출력의 로직레벨이 천이되는 경우에 타임 히스테리시스 특성을 가지는 제 2 타임 히스테리시스부; 및

상기 제 2 타임 히스테리시스부의 출력을 반전시키는 반전부;

를 포함하는 타임 히스테리시스 특성을 가지는 디지털 제어로직회로.

【청구항 2】

입력신호를 지연시키는 딜레이부; 및

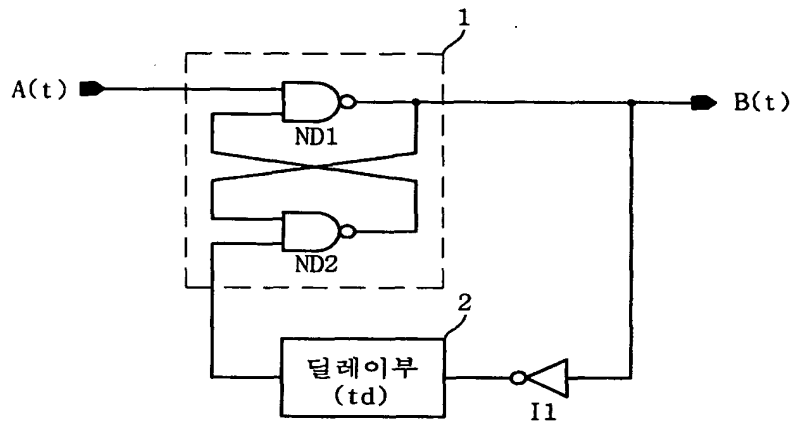
상기 입력신호와 상기 딜레이부를 통해 지연된 입력신호를 수신하고, 그 천이상태에 의해 제어되어 출력값이 결정되며, 그 출력값에 의해 입력신호가 하이레벨에서 로우레벨로 천이되는 경우와 입력신호가 로우레벨에서 하이레벨로 천이되는 경우 모두 타임 히스테리시스 특성을 가지도록 조정하는 스테이트머신을 구비하는 것을 특징으로 하는 타임 히스테리시스 특성을 가지는 디지털 제어로직회로.

【청구항 3】

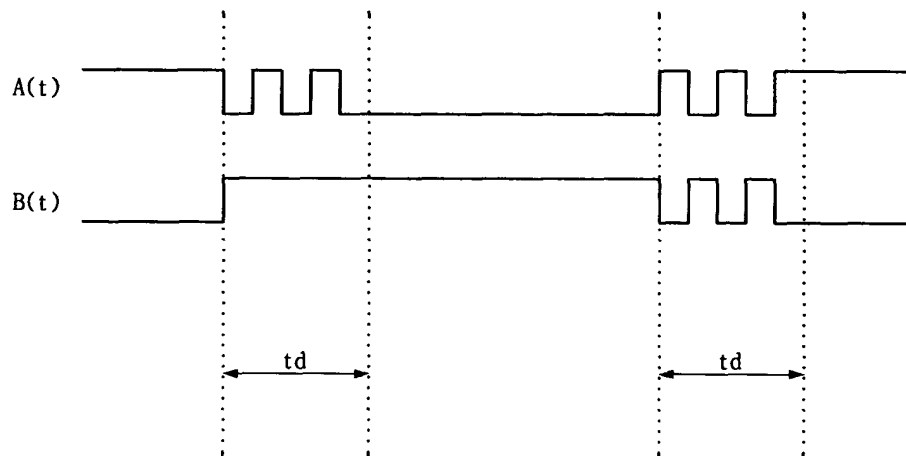
제 2항에 있어서, 상기 스테이트머신은,
2비트 스테이트 머신인 것을 특징으로 하는 타임 히스테리시스 특성을 가지는 디지털 제어로직회로.

【도면】

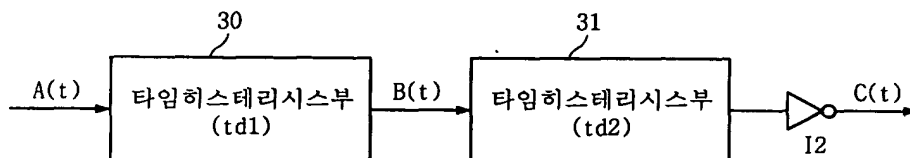
【도 1】



【도 2】



【도 3】

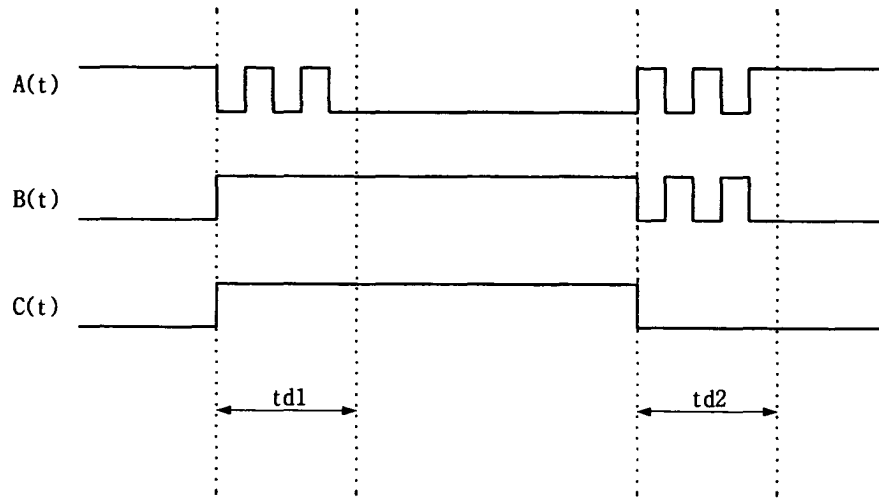




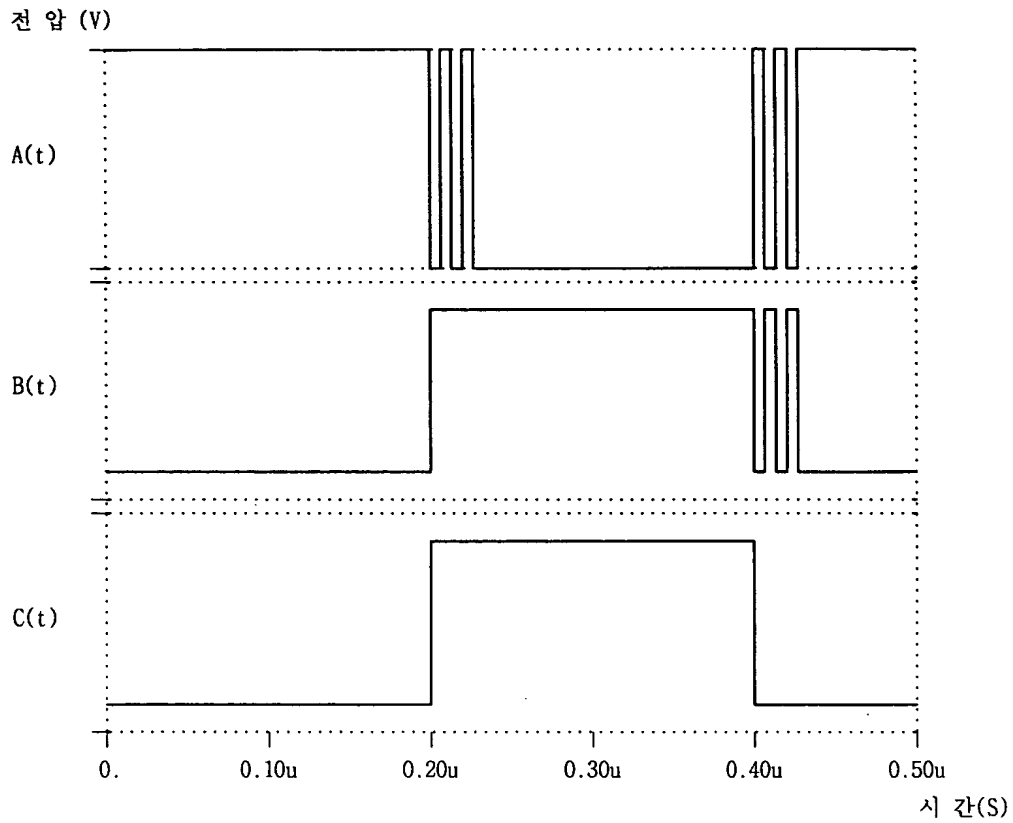
1020020086701

출력 일자: 2003/5/22

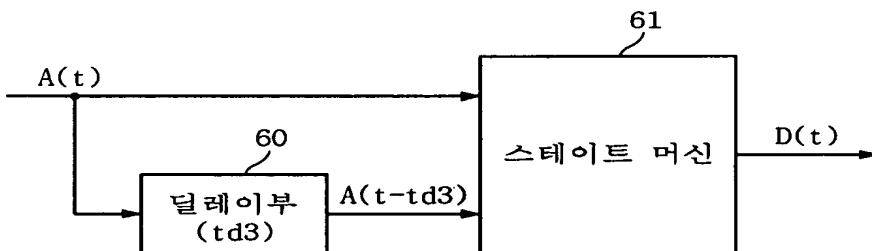
【도 4】



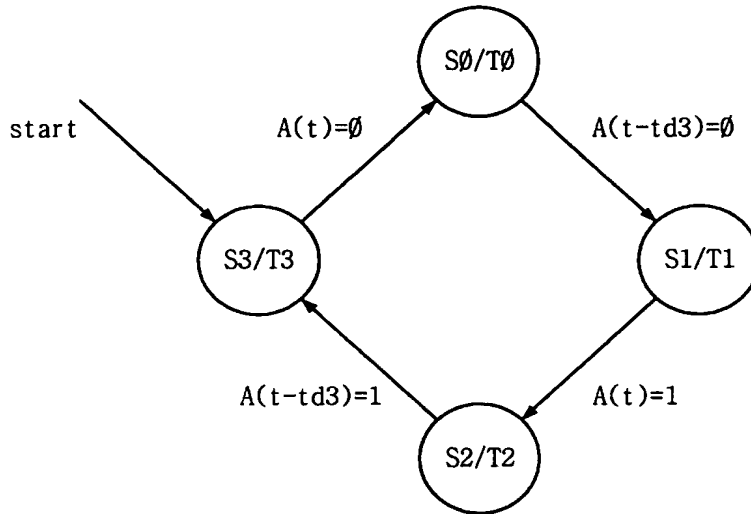
【도 5】



【도 6】



【도 7】



【도 8】

